



19 BUNDESREPUBLIK
DEUTSCHLAND



DEUTSCHES
PATENT- UND
MARKENAMT

12 Offenl gungsschrift
10 DE 199 46 431 A 1

51 Int. Cl. 7:
H 01 L 25/065
H 01 L 23/50
H 05 K 3/32

21 Aktenzeichen: 199 46 431.6
22 Anmeldetag: 28. 9. 1999
43 Offenlegungstag: 12. 4. 2001

DE 199 46 431 A 1

71 Anmelder:
Siemens AG, 80333 München, DE

72 Erfinder:
Hacke, Hans-Jürgen, Dipl.-Ing., 81475 München, DE

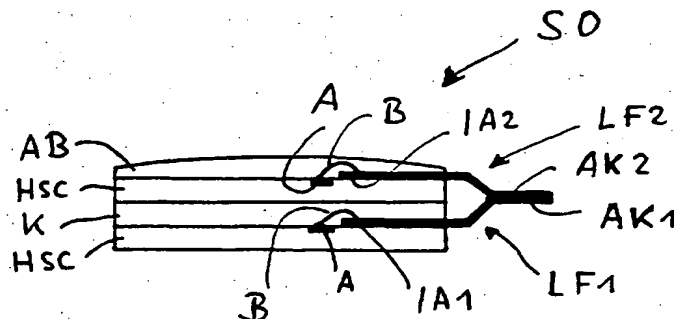
56 Entgegenhaltungen:
JP 10056129 A - in: Patents Abstracts of Japan
1998;

Die folgenden Angaben sind den vom Anmelder eingereichten Unterlagen entnommen

Prüfungsantrag gem. § 44 PatG ist gestellt

54 Stapelanordnung für zwei Halbleiterspeicherchips

57 Ein erster Leadframe (LF1) wird auf einen Halbleiterspeicherchip (HSC) aufgebracht und mit dessen Anschlüssen (A) verbunden. Ein zweiter Leadframe (LF2) wird in entsprechender Weise auf einen zweiten Halbleiterspeicherchip (HSC) aufgebracht und mit dessen Anschlüssen verbunden. Die beiden Halbleiterspeicherchips (HSC) werden dann zur Bildung einer Stapelanordnung (SO) aufeinander geschichtet, deren Außenkontakte (AK1, AK2) aus einer Seite des Stapels herausragen.



DE 199 46 431 A 1

BEST AVAILABLE COPY

Miniaturisierung und die Forderung nach einer hohen Packungsdichte sind in allen Bereichen der Elektronik von steigender Bedeutung. So haben sich bei den Halbleitergehäusen in den letzten Jahren Gehäuseformen durchgesetzt, die einerseits immer kleiner und flacher sind, zum anderen auch in Oberflächenmontage kontaktiert werden können. SO-Gehäuse, Ball Grid Arrays und Chip Size Packages, die häufig auch als Chip Scale Packages bezeichnet werden, kennzeichnen diesen Trend. Speicherbausteine nehmen eine gewisse Sonderstellung ein, denn ihre Anschlußzahl ist gegenüber Logikbausteinen gering, ihre Anschlüsse sind bei modernen Bausteinen nicht am Chiprand, sondern im Chipzentrum angeordnet und mit Halbleiterspeicherchips werden Module für die verschiedensten Rechneranwendungen aufgebaut, bei denen es auf hohen Speicherinhalt ankommt. Derartige Module werden heute sowohl in ungekapselten Chips in Drahtkontaktierung aufgebaut oder unter Verwendung gekapselter Chips in SO-Bauform.

Aus der DE-197 58 197 A1 ist eine Stapelanordnung für zwei Halbleiterspeicherchips bekannt, bei welcher die beiden Halbleiterspeicherchips auf eine flexible Verdrahtung aufgebracht und durch einfache Faltung der flexiblen Verdrahtung zu einem platzsparenden Zweierstapel umgeformt werden, dessen Außenkontakte an nur einer Seite der Stapelanordnung ausgebildet sind. Durch diesen Aufbau kann dann andererseits eine Vielzahl derartiger Stapelanordnungen auf einfach ausgebildete Leiterplatten aufgebracht werden, d. h. es wird eine Einfachbauweise für Speicherkarten bzw. Memory Cards ermöglicht.

Der im Anspruch 1 angegebenen Erfindung liegt das Problem zugrunde, eine Stapelanordnung für zwei Halbleiterspeicherchips zu schaffen, die einerseits kostengünstig hergestellt werden kann und andererseits einen noch geringeren Flächenbedarf aufweist, als die aus der DE 197 58 197 A1 bekannte Stapelanordnung.

Der Erfindung liegt die Erkenntnis zugrunde, daß durch die direkte Verbindung von zwei Halbleiterspeicherchips mit zwei zugeordneten Leadframes und durch Aufeinander-schichten der beiden resultierenden Einzelteile ein Zweierstapel entsteht, der einerseits besonders einfach hergestellt werden kann und der andererseits besonders vorteilhaft beim Aufbau von Speichermodulen eingesetzt werden kann. Die Verbindungsstruktur der beiden Leadframes kann dabei so ausgestaltet werden, daß alle gemeinsamen Anschlüsse der beiden Halbleiterspeicherchips zusammengefaßt und nur die selektiv anzusteuern den Anschlüsse einzeln aus dem Stapel herausgeführt sind. Hierdurch reduziert sich die Anschlußzahl des Zweierstapels gegenüber der Summe zweier Einzelbausteine. Die Fläche, die ein erfindungsgemäßer Zweierstapel flach eingebaut einnimmt, kann vergleichbar mit einem Einzelgehäuse sein. Da aber zwei Halbleiterspeicherchips enthalten sind, ist der Flächenbedarf sogar geringer als bei einem Chip Size Package.

Vorteilhafte Ausgestaltungen der erfindungsgemäßen Stapelanordnung gehen aus den Ansprüchen 2 bis 9 hervor.

Die Ausgestaltung nach Anspruch 2 mit den im Chipzentrum angeordneten Anschlüssen, die auch als Inboard Pads bezeichnet werden können, ermöglicht eine besonders einfache Leiterführung bei den Leadframes sowie eine einfache und sichere Verbindung von Leadframe und zugeordnetem Halbleiterspeicherchip.

Die Weiterbildung nach Anspruch 3 ermöglicht eine sichere und einfach auszuführende Klebeverbindung zwischen Leadframe und zugeordnetem Halbleiterspeicherchip.

Die Weiterbildung nach Anspruch 4 ermöglicht eine sichere Kontaktierung der Halbleiterspeicherchips in der be-

währten Drahtbond-Technik.

Gemäß Anspruch 5 sind die beiden Halbleiterspeicherchips in einfacher Weise über einen Kleber zu einem Stapel verbunden. Bei Verwendung von Bonddrähten werden diese in den Kleber eingebettet und damit sicher geschützt.

Die Ausgestaltung nach Anspruch 6 ermöglicht einen sicheren Schutz des im Stapel oben liegenden Halbleiterspeicherchips. Bei Verwendung von Bonddrähten werden diese auch hier in die Abdeckung eingebettet und damit sicher geschützt.

Die Ausgestaltung nach Anspruch 7 ermöglicht eine besonders einfache Montage der Stapelanordnungen auf einer Leiterplatte oder dergl. Je nach dem wie die Außenkontakte geformt sind, ist eine liegende Montage, eine schräg überdeckende Montage oder eine besonders platzsparende aufrecht stehende Montage der Stapelanordnungen möglich.

Bei der erfindungsgemäßen Stapelanordnung können gemäß Anspruch 8 alle gemeinsamen Anschlüsse der beiden Halbleiterspeicherchips zusammengefaßt und gemäß Anspruch 9 nur die selektiv anzusteuern den Anschlüsse der beiden Halbleiterspeicherchips einzeln herausgeführt werden. Hierdurch reduziert sich die Anschlußzahl der Stapelanordnung gegenüber der Summe zweier Einzelbausteine erheblich. Unter den Begriffen "auf gleicher Höhe aus dem Stapel herausgeführt" und "in unterschiedlicher Höhe aus dem Stapel herausgeführt" in den Ansprüchen 8 und 9 wird unter "Höhe" der Teilungsabstand zwischen den ersten und zweiten Außenkontakten verstanden. Bei der Anschlußkonfiguration der gemeinsamen Außenkontakte und der einzeln herausgeführten Außenkontakte kann dabei ein einheitlicher Teilungsabstand realisiert werden.

Ein Ausführungsbeispiel der Erfindung ist in der Zeichnung dargestellt und wird im folgenden näher beschrieben. Es zeigen:

Fig. 1 eine Draufsicht auf die Anschlußseite eines Halbleiterspeicherchips und einen darauf aufgebrachten ersten Leadframe,

Fig. 2 eine Draufsicht auf die Anschlußseite des anderen Halbleiterspeicherchips und den darauf aufgebrachten zweiten Leadframe,

Fig. 3 einen Querschnitt durch eine aus den Anordnungen nach den Fig. 1 und 2 gebildete Stapelanordnung,

Fig. 4 eine Seitenansicht einer mit liegenden Stapelanordnungen bestückten Leiterplatte,

Fig. 5 eine Seitenansicht einer Leiterplatte, die mit schräg überdeckend montierten Stapelanordnungen bestückt ist, und

Fig. 6 eine Seitenansicht einer Leiterplatte, die mit aufrecht stehenden Stapelanordnungen bestückt ist.

Fig. 1 zeigt eine Draufsicht auf einen Halbleiterspeicherchip HSC und einen ersten Leadframe LF1, der über eine erste Klebefolie KF1 auf die Anschlußseite des Halbleiterspeicherchips HSC aufgeklebt ist. Der Halbleiterspeicherchip HSC besitzt insgesamt 28 Anschlüsse A, von welchen 26 in zwei sich parallel gegenüberliegenden Reihen in der Chipmitte angeordnet sind. Die restlichen zwei Anschlüssen A sind in der Draufsicht gemäß Fig. 1 in der Mitte des linken Chiprandes und in der Mitte des rechten Chiprandes angeordnet. Jedem Anschluß A ist ein erster Innenanschluß IA1 des aufgeklebten ersten Leadframes LF1 zugeordnet. Von diesen Innenanschlüssen IA1 führt jeweils ein erster Leiter L1 zu einem entsprechenden ersten Außenkontakt AK1 des ersten Leadframes LF1. Aus Fig. 1 ist auch ersichtlich, daß die ersten Außenkontakte AK1 endseitig über einen in Querrichtung verlaufenden Steg ST1 miteinander verbunden sind. In der Draufsicht gemäß Fig. 1 ergibt sich die Zuordnung der ersten Außenkontakte AK1 zu den Anschlüssen A des Halbleiterspeicherchips HSC von links

nach rechts gesehen wie folgt:

Der erste Außenkontakt AK1 ist dem Anschluß A des Halbleiterspeicherchips HSC zugeordnet, der sich in der Mitte des linken Chiprandes befindet und bei welchem es sich um einen VSS-, d. h. um einen Ground-Anschluß handelt. Die nächsten acht Außenkontakte AK1 des ersten Leadframes LF1 sind Anschlüssen A des Halbleiterspeicherchips HSC zugeordnet, die mit entsprechenden Anschlüssen anderer gleicher Halbleiterspeicherchips gemeinsam angesteuert werden können. Der von links gesehen zehnte Außenkontakt AK1 ist einem VCC-Anschluß A, d. h. dem Anschluß für die Spannungsversorgung des Halbleiterspeicherchips HSC zugeordnet. Der von links gesehen elfte Außenkontakt AK1 ist wieder einem VSS- bzw. Ground-Anschluß A des Halbleiterspeicherchips HSC zugeordnet. Die folgenden acht Außenkontakte AK1 sind wieder gemeinsam ansteuerbaren Anschlüssen A des Halbleiterspeicherchips HSC zugeordnet. Die nächsten acht Außenkontakte AK1 sind selektiv anzusteuern den Anschlüssen A des Halbleiterspeicherchips HSC zugeordnet. Der von links gesehen achtundzwanzigste und letzte Außenkontakt AK1 ist schließlich dem VSS- bzw. Ground-Anschluß A des Halbleiterspeicherchips HSC zugeordnet, der sich in der Mitte des rechten Chiprandes befindet.

Fig. 2 zeigt eine Draufsicht auf einen zweiten Halbleiterspeicherchip HSC und einen zweiten Leadframe LF2, der über eine zweite Klebefolie KF2 auf die Anschlußseite des zweiten Halbleiterspeicherchips HSC aufgeklebt ist. Die beiden in den Fig. 1 und 2 dargestellten Halbleiterspeicherchips HSC sind im übrigen identisch ausgebildet. Dementsprechend sind auch hier wieder 28 Innenanschlüsse IA2 des zweiten Leadframes LF2 den Anschlußelementen A des zweiten Halbleiterspeicherchips HSC zugeordnet. Von diesen Innenanschlüssen IA2 führt jeweils ein zweiter Leiter L2 zu einem entsprechenden zweiten Außenkontakt AK2 des zweiten Leadframes LF2. Aus Fig. 2 ist auch ersichtlich, daß die zweiten Außenkontakte AK2 endseitig über einen in Querrichtung verlaufenden Steg ST2 miteinander verbunden sind.

Die geometrische Form des zweiten Leadframes LF2 entspricht derjenigen des ersten Leadframes LF1 bis auf die Teilung der acht zweiten Außenkontakte AK2, die den selektiv anzusteuern den Anschlüssen A des Halbleiterspeicherchips HSC zugeordnet sind. Die Teilung dieser acht zweiten Außenkontakte AK1, das sind in Fig. 2 von links gesehen die von zweiter bis zur neunten Stelle angeordneten zweiten Außenkontakte AK2, ist genau mittig versetzt zur Teilung der acht entsprechenden ersten Außenkontakte AK1 des ersten Leadframes LF1.

Bei den vorstehend anhand der Fig. 1 und 2 beschriebenen Leadframes LF1 und LF2 handelt es sich um metallische Formteile, die ätztechnisch, stanztechnisch oder auch durch Laserstrukturierung hergestellt werden können.

Bei den beiden in Fig. 1 und Fig. 2 dargestellten Anordnungen werden die Innenanschlüsse IA1 und IA2 der beiden Leadframes LF1 und LF2 mit den zugeordneten Anschlüssen A der Halbleiterspeicherchips HSC über feine Bonddrähte verbunden. Diese mit B bezeichneten Bonddrähte sind aus Fig. 3 ersichtlich. Aus dem in Fig. 3 dargestellten Querschnitt ist ferner ersichtlich, daß die in den Fig. 1 und 2 dargestellten Anordnungen aufeinander geschichtet und zu einem Stapel verklebt werden. Das Verkleben erfolgt über einen elektrisch isolierenden Kleber K, wobei zum Schutz der in diesem Kleber K eingebetteten Bonddrähte B in Fig. 3 nicht erkennbare Distanzhalter verwendet werden. Die Oberseite der mit SO bezeichneten Stapelanordnung wird mit einer Abdeckung AB versehen, welche beispielsweise aus Silikonkautschuk besteht. In diese Abdeckung AB sind

die Bonddrähte B eingebettet, die die Innenanschlüsse IA2 mit den zugeordneten Anschlüssen A des oberen Halbleiterspeicherchips HSC verbinden.

Nach dem Verkleben des Stapels und dem Aufbringen der Abdeckung AB werden die seitlich aus der Stapelanordnung SO herausragenden Außenkontakte AK1 und AK2 geformt und auf Endformat beschnitten, wobei die aus den Fig. 1 und 2 ersichtlichen Stege ST1 und ST2 vollständig abgetrennt werden. Bei der aus Fig. 3 ersichtlichen Formung der Außenkontakte AK1 und AK2 werden diejenigen Außenkontakte AK1 und AK2 zusammengeführt und ggf. miteinander verlötet, die gemeinsamen ansteuerbaren Anschlüssen A der beiden Halbleiterspeicherchips HSC zugeordnet sind. Die übrigen Außenkontakte AK1 und AK2, die selektiv anzusteuern den Anschlüssen A der beiden Halbleiterspeicherchips HSC zugeordnet sind, werden jeweils einzeln aus der Stapelanordnung SO herausgeführt und derart geformt, daß sie mit den gemeinsamen Außenkontakten in einer Reihe liegen. Der in Fig. 3 senkrecht zur Zeichnungsebene verlaufende Teilungsabstand sämtlicher Außenkontakte ist einheitlich.

Die aus Fig. 3 ersichtliche Form der aus der Stapelanordnung SO seitlich herausragenden Außenkontakte AK1 bzw. AK2 kann je nach der geplanten Montageanordnung auf einer Leiterplatte verändert werden. Die Fig. 4 bis 6 zeigen verschiedene Formen der Außenkontakte bei verschiedenen Montageanordnungen der Stapelanordnungen SO auf einer Leiterplatte LP. Dabei zeigt Fig. 4 eine liegende Anordnung der einzelnen Stapelanordnungen SO. Die Fig. 5 und 6 zeigen eine schräg überdeckende Anordnung bzw. eine aufrecht stehende Anordnung der Stapelanordnungen SO auf der Leiterplatte LP. Die Pfeile PF geben in den Fig. 5 und 6 jeweils die Montagereihenfolge an.

Aus den Fig. 1 bis 3 geht deutlich hervor, daß die Fläche, welche die Stapelanordnung SO flach eingebaut einnimmt, vergleichbar mit einem Einzelgehäuse sein kann. Da aber in der Stapelanordnung SO zwei Halbleiterspeicherchips HSC enthalten sind, ist der Flächenbedarf sogar geringer als bei einem Chip Size Package. Die erfindungsgemäß ausgebildeten Stapelanordnungen SO können somit auch als "Double Memory Chips Scale Package" bezeichnet werden.

Abweichend von dem vorstehend geschilderten Ausführungsbeispiel mit einer Ankontaktierung der Halbleiterspeicherchips in Drahtbond-Technik können auch andere Techniken eingesetzt werden. So ist es beispielsweise möglich, bei den in den Fig. 1 und 2 dargestellten Leadframes LF1 und LF2 die inneren Enden der Leiter L1 bzw. L2 zu verlängern und im Verlängerungsbereich als Feinststrukturen auszubilden. Die durch die Enden dieser Feinststrukturen gebildeten Innenanschlüsse können dann in Flip-Chip-Technik durch anisotropes Kleben, durch Verwendung eines Leitklebers oder durch Lötten direkt mit den zugeordneten Anschlüssen A der Halbleiterspeicherchips HSC verbunden werden.

Patentsprüche

1. Stapelanordnung (SO) für zwei Halbleiterspeicherchips (HSC), mit
 - einem ersten Leadframe (LF1), der eine Konfiguration von ersten Innenanschlüssen (IA1), in einer Reihe nebeneinander liegende erste Außenkontakte (AK1) und eine Gruppe von ersten Leitern (L1) aufweist, die sich zwischen den ersten Innenanschlüssen (IA1) und zugeordneten ersten Außenkontakten (AK1) erstrecken;
 - einem zweiten Leadframe (LF2), der eine Konfiguration von zweiten Innenanschlüssen (IA2), in einer Reihe nebeneinander liegende zweiten Au-

Benkontakte (AK2) und eine Gruppe von zweiten Leitern (L2) aufweist, die sich zwischen den zweiten Innenanschlüssen (IA2) und zugeordneten zweiten Außenkontakten (AK2) erstrecken; wobei

- der ersten Leadframe (LF1) auf die Anschlußseite des einen Halbleiterspeicherchips (HSC) aufgebracht ist;
- der zweite Leadframe (LF2) auf die Anschlußseite des anderen Halbleiterspeicherchips (HSC) aufgebracht ist;
- die ersten Innenanschlüsse (IA1) des ersten Leadframe (LF1) mit zugeordneten Anschlüssen (A) des einen Halbleiterspeicherchips (HSC) elektrisch leitend verbunden sind;
- die zweiten Innenanschlüsse (IA2) des zweiten Leadframes (LF2) mit zugeordneten Anschlüssen (A) des anderen Halbleiterspeicherchips (HSC) elektrisch leitend verbunden sind; und wobei
- die beiden Halbleiterspeicherchips (HSC) zu einem Stapel derart aufeinander geschichtet sind, daß die ersten und zweiten Anschlußkontakte (AK1, AK2) aus einer Seite des Stapels herausragen.

2. Stapelanordnung nach Anspruch 1, gekennzeichnet durch die Verwendung von zwei gleichen Halbleiterspeicherchips (HSC), deren Anschlüsse (A) - ggf. mit Ausnahme von Ground-Anschlüssen (A) - in zwei sich parallel gegenüberliegenden Reihen mit Abstand zum Chipumfang angeordnet sind.

3. Stapelanordnung nach Anspruch 1 oder 2, dadurch gekennzeichnet, daß der erste Leadframe (LF1) auf die Anschlußseite des einen Halbleiterspeicherchips (HSC) aufgeklebt ist und daß der zweite Leadframe (LF2) auf die Anschlußseite des anderen Halbleiterspeicherchips (HSC) aufgeklebt ist.

4. Stapelanordnung nach einem der vorhergehenden Ansprüche, dadurch gekennzeichnet, daß die Innenanschlüsse (IA1, IA2) der beiden Leadframes (LF1, LF2) über Bonddrähte (B) mit den zugeordneten Anschlüssen (A) der Halbleiterspeicherchips (HSC) verbunden sind.

5. Stapelanordnung nach einem der vorhergehenden Ansprüche, dadurch gekennzeichnet, daß die beiden Halbleiterspeicherchips (HSC) über einen elektrisch isolierenden Kleber (K) zu einem Stapel verbunden sind.

6. Stapelanordnung nach einem der vorhergehenden Ansprüche, dadurch gekennzeichnet, daß die Anschlußseite des im Stapel oben liegenden Halbleiterspeicherchips (HSC) mit einer Abdeckung (AB) aus elektrisch isolierendem Material versehen ist.

7. Stapelanordnung nach einem der vorhergehenden Ansprüche, dadurch gekennzeichnet, daß die aus dem Stapel herausragenden ersten und zweiten Außenkontakte (AK1, AK2) derart geformt sind, daß sie in einer gemeinsamen Ebene liegen.

8. Stapelanordnung nach einem der vorhergehenden Ansprüche, dadurch gekennzeichnet, daß die gemeinsam ansteuerbaren Anschlüsse (A) der beiden Halbleiterspeicherchips (HSC) zugeordneten (Außenkontakte (AK1, AK2) der beiden Leadframes (LF1, LF2) auf gleicher Höhe aus dem Stapel herausgeführt und jeweils paarweise zu gemeinsamen Außenkontakten zusammengefaßt sind.

9. Stapelanordnung nach Anspruch 8, dadurch gekennzeichnet, daß die selektiv anzusteuern den Anschlüssen (A) der beiden Halbleiterspeicherchips

(HSC) zugeordneten Außenkontakte (AK1, AK2) der beiden Leadframes (LF1, LF2) jeweils einzeln und in unterschiedlicher Höhe aus dem Stapel herausgeführt sind.

Hierzu 2 Seite(n) Zeichnungen.

FIG 1

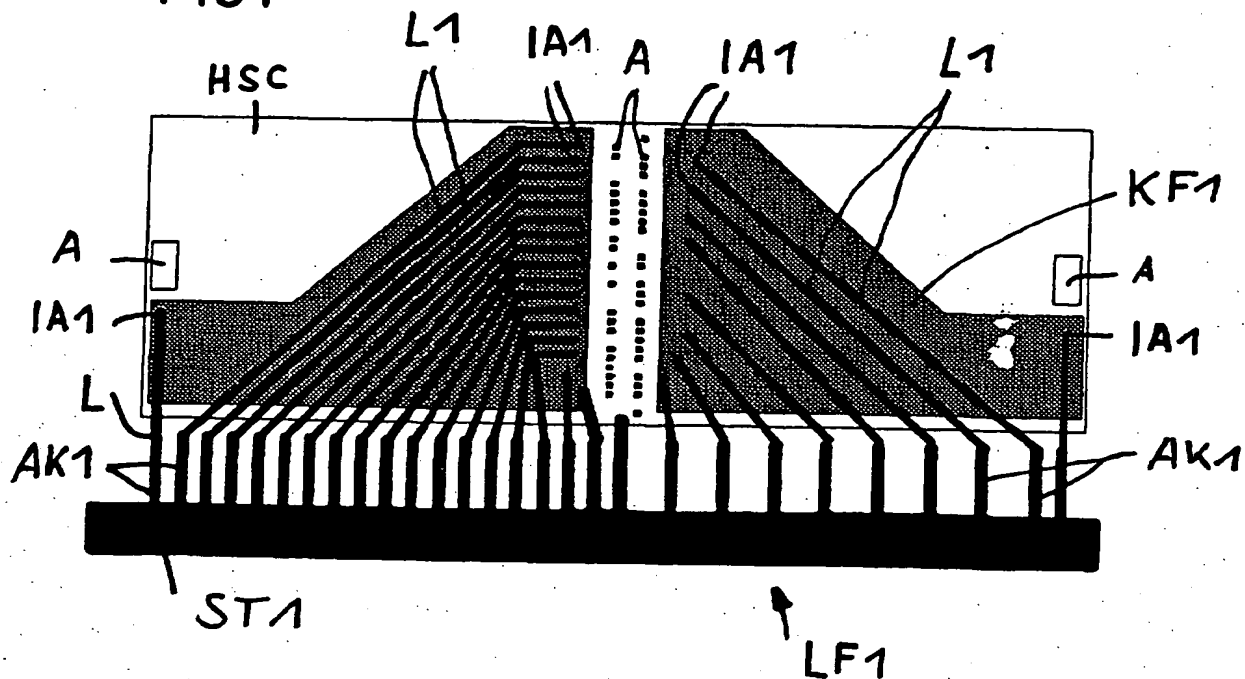


FIG 2

